

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 03100216.1

[45] 授权公告日 2007 年 3 月 7 日

[11] 授权公告号 CN 1303687C

[22] 申请日 2003.1.3 [21] 申请号 03100216.1

[73] 专利权人 矽统科技股份有限公司

地址 中国台湾

[72] 发明人 柯明道 李健铭 罗文裕

[56] 参考文献

JP11-067486 A 1999.3.9

US2002125931 A1 2002.9.12

审查员 王 琳

[74] 专利代理机构 北京银龙知识产权代理有限公司

代理人 皋吉甫

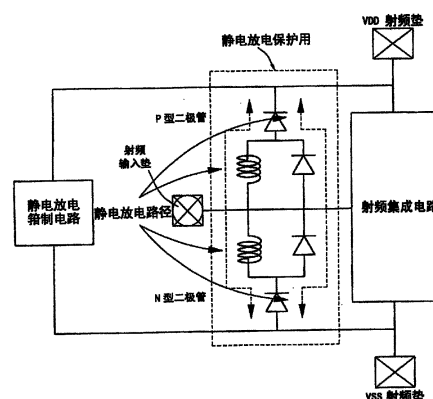
权利要求书 2 页 说明书 6 页 附图 12 页

[54] 发明名称

一种用来保护高频射频集成电路避免静电放电伤害的装置

[57] 摘要

本发明是一种关于避免高频射频集成电路受到静电放电伤害的装置。此装置包含至少一个堆栈的变抗器-电感电容电路槽，以避免功率增益因静电放电电路的寄生电容而耗损。此变抗器-电感电容槽可被设计共振在射频运转频率，以避免功率增益因静电放电电路的寄生电容而耗损。多个电感电容槽能被堆栈以减少更多的功率增益耗损。反向偏压二极管是被用来作为变抗器，以达到阻抗匹配和有效的静电放电电流路径的双重目的。因为电感器是由金属制成，故当发生静电放电情况时，电感器和变抗器都可排放静电放电电流。本发明能提供射频集成电路足够高的静电放电防护能力，以避免静电放电的损伤。



1. 一种用来保护高频射频集成电路以避免静电放电伤害的装置，其具有至少有一个静电放电保护装置在输入/输出端口内，该静电放电保护装置包含有：

至少一个变抗器-电感电容槽。

2. 如权利要求 1 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该变抗器-电感电容槽包含至少一个具反向偏压二极管的变抗器。

3. 如权利要求 1 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该变抗器-电感电容槽包含一个芯片式电感器。

4. 如权利要求 1 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该变抗器-电感电容槽包含一个具绕线电感的电感器。

5. 如权利要求 1 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该变抗器-电感电容槽在该射频集成电路的运转频率共振。

6. 如权利要求 1 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该变抗器-电感电容槽与多个变抗器-电感电容槽串联。

7. 一种用来保护高频射频集成电路以避免静电放电伤害的装置，包含有：

P 型二极管；

第一变抗器-电感电容槽电路，以串联方式连结至该 P 型二极管；

第二变抗器-电感电容槽电路，以串联方式连结至该第一变抗器-电感电容槽电路；以及 N 型二极管，以串联方式连结至该第二变抗器-电感电容槽电路。

8. 如权利要求 7 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该第一变抗器-电感电容槽电路包含至少一个变抗器-电感电容槽，并且该第二变抗器-电感电容槽电路包含至少一个变抗器-电感电容槽。

9. 如权利要求 7 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该第一变抗器-电感电容槽电路包含多个变抗器-电感电容槽和该第二变抗器-电感电容槽电路包含多个变抗器-电感电容槽。

10. 一种用来保护高频射频集成电路以避免静电放电伤害的装置，包含有：

第一变抗器-电感电容槽电路；

P 型二极管，以串联方式连结至该第一变抗器-电感电容槽电路；

N 型二极管，以串联方式连结至该 P 型二极管；以及一第二变抗器-电感电容槽电路，以串联方式连结至该 N 型二极管。

11. 如权利要求 10 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该第一变抗器-电感电容槽电路包含至少一个变抗器-电感电容槽，并且该第二变抗器-电感电容槽电路包含至少一个变抗器-电感电容槽。

12. 如权利要求 10 所述的用来保护高频射频集成电路以避免静电放电伤害的装置，其中该第一变抗器-电感电容槽电路包含多个变抗器-电感电容槽，并且该第二变抗器-电感电容槽电路包含多个变抗器-电感电容槽。

13. 一种用来保护高频射频集成电路以避免静电放电伤害的装置，包含有：

第一静电放电保护装置，具有多个变抗器-电感电容槽和多个 P 型二极管交错串联；以及第二静电放电保护装置，具有多个变抗器-电感电容槽和多个 N 型二极管交错串联；其中，该第一静电放电保护装置的一个 P 型二极管和该第二静电放电保护装置的一个 N 型二极管串联。

一种用来保护高频射频集成电路避免静电放电伤害的装置 技术领域

本发明是关于射频集成电路 (radio frequency integrated circuits, RFIC), 特别是关于一种使用于防护静电放电 (electrostatic discharge, ESD) 的变抗器-电感电容槽 (varactor-LC tank) 的射频集成电路的静电放电保护装置。

背景技术

因静电放电所造成的组件损害对集成电路产品来说已经成为最主要的可靠性问题之一。尤其是随着尺寸不断地缩小至深亚微米的程度, 金氧半导体中的栅极氧化层也越来越薄, 集成电路更容易因静电放电现象而遭受破坏。在一般的工业标准中, 集成电路产品的输出入接脚 (I/O pin) 必须能够通过 2000 伏特以上的人体模式静电放电测试以及 200 伏特以上的机械模式静电放电测试。因此, 在集成电路产品中, 静电放电防护组件必需设置在所有输出入焊垫 (pad) 附近, 以保护内部的核心电路 (core circuit) 不受静电放电电流的侵害。

静电放电是一种高能传递的瞬时过程。人体模型 (human-body model, HBM) 的放电过程大约 100 纳秒 (ns)。一般而言, 静电放电发生时, 几百伏特或甚至几千伏特的电压会被传送。如此高的静电电压会破坏输入端的栅极氧化层 (gate oxide) 而导致电路故障。当栅极氧化层的厚度随着半导体制程进步而更缩小时, 提供一个保护电路或装置来保护栅极氧化层和释放静电放电的电压是集成电路产品的必要配置。

如图 1 所示, 传统的静电放电保护装置是一种包含一个主阶段和一个次阶段的两阶段保护结构。在主阶段和次阶段之间, 增加一个电阻器 (resistor) 来限制流经次阶段的一个短信道 N 型晶体管的静电放电电流。电阻器的电阻 (resistance) 依赖主阶段的一个静电放电的箝制装置 (clamp device) 的开启电压和次阶段的短信道 N 型晶体管的二次击穿电流 (second breakdown current)。像这样的两阶段的静电放电保护装置为

数字化的输入接脚(pin)提供了高静电放电防护能力。然而,在静电放电的箝制装置中,大的串联电阻和大的接面电容(junction capacitance)引起对输入信号的长时间延迟(RC timing delay),因此,此保护电路是不适合模拟接脚,特别是射频(RF)信号的应用。

在高频的应用里,静电放电保护装置的寄生(parasitic)电容会减低射频集成电路的功率增益的实现结果(power gain performance)。从前,是以减少静电放电保护装置的面积来减少寄生电容。然而,面积的减少也会引起静电放电防护能力的降低。此技术领域的人士正持续不断地为射频集成电路努力,以减少因静电放电保护装置的寄生电容所造成的冲击。

下列为几种习知的减少寄生电容,但仍可维持静电放电防护能力的技术,这些技术包括:

(1)具有 VDD 到 VSS 电源线间的箝制电路:在此设计中,如图 2 所示,为了补偿由小面积二极管所引起的静电放电防护能力的降低,并明显地提升整体的静电放电防护能力,将一能够快速开启的静电放电箝制电路建立于输入级静电放电保护装置的电源线之间。

(2)分布式的静电放电保护装置:最早由斯坦福大学(Stanford University)提出,如图 3 的电路所示,其可延伸为多阶段的匹配结构。使用愈多的阶段,功率增益就愈好。然而,因为难于同时平均分配静电放电电流至所有阶段,第一阶段总是第一个遭受静电放电的伤害,而无法有效提升整体的静电放电防护能力。

(3)具 VDD 到 VSS 电源线间箝制电路的堆栈反向偏压二极管:此设计中,如图 4 所示,使用一迭串联的堆栈反向偏压二极管也同时具有 VDD 到 VSS 电源线间箝制电路。研究报告指出,此设计可降低静电放电电路的寄生电容,但堆栈的反向偏压二极管的静电放电防护能力却会降低。

因为,上述的静电放电保护装置对射频集成电路提供的静电放电保护会有所缺陷,因此,克服传统设计的缺陷并且提供有效保护射频集成电路的静电放电保护装置是必要的。

发明内容

本发明提出一种高频的射频集成电路的静电放电保护装置。此静电放电保护装置包含至少一个变抗器-电感电容槽。因为射频集成电路的应用要求小的寄生电容，此静电放电保护装置可维持小的尺寸，且具有高的静电放电防护能力。本发明中，反向偏压的二极管是作为变抗器用，亦同时作为静电放电的电流释放通路。

变抗器的电容是反向偏压二极管的耗尽层电容 (depletion capacitance)，此电容可藉由调整供应的电压来控制。该电感器可做在芯片上。然而，现今的互补式金属半导体 (CMOS) 技术仅可制作出具低品质因素 (low-Q) 的电感器。另一选择是使用具高品质因素 (high-Q) 的电感器，如 绕线电感 (bond-wire)。电感电容槽的电感值和电容值被设计为在射频运转频率 (operating frequency) 共振 (resonate)。该电感电容槽 (LC Tank) 共振时的等效阻抗为无穷大，因此自输入垫传入的射频信号不会经由该静电放电防护组件的电感电容槽泄漏到 VDD 或 VSS 电源线去，因此不会降低该射频信号的电路性能。

在静电放电的情况下，静电放电电流流经电感器和电感电容槽的变抗器。静电放电电流有多重路径的优点为可提升静电放电防护能力。因为电感器是一条有低寄生电阻的金属线，故变抗器-电感电容槽会因静电放电电流的多重路径而有高的静电放电防护能力。

兹配合下列图标和实施方式的说明，将本发明描述为更加清楚。

附图说明

图 1 为一个传统二阶段静电放电保护装置的结构示意图。

图2为一个含有反向偏压二极管和一个 VDD 到 VSS 电源线间箝制电路的传统静电放电保护装置的结构示意图。

图 3 为一个传统的分布式的静电放电保护装置的结构示意图。

图4为一个含有一堆栈的反向偏压二极管和 VDD 到 VSS 电源线间箝制电路的传统静电放电保护装置的结构示意图。

图 5 为根据本发明的静电放电保护装置的第一个实施例。

图 6 为根据本发明的静电放电保护装置的第二个实施例。

图 7 为根据本发明的静电放电保护装置的第三个实施例。

图 8 为根据本发明的静电放电保护装置的第四个实施例。

图 9 为根据本发明的静电放电保护装置的第五个实施例。

图 10 为根据本发明的静电放电保护装置的第六个实施例。

图 11 为根据本发明的静电放电保护装置的第七个实施例。

图 12 为根据本发明的静电放电保护装置的第八个实施例。

具体实施方式

参考附图，特别是图 5，图 5 是根据本发明的静电放电保护装置的第一个实施例，此静电放电保护装置包含一个含有变抗器-电感电容槽的防护电路设计。此静电放电防护电路安置在一个射频集成电路的输入/输出埠(I/O port)内。

因为射频集成电路的应用要求小的寄生电容，故静电放电保护装置被制成小尺寸，但拥有高的静电放电防护能力。在本实施例中，变抗器包含一个反向偏压二极管。然而，也可以均等地使用其它具有相同电子特征的装置。变抗器的电容是反向偏压二极管的耗尽层电容(depletion capacitance)，此电容可藉由调整供应的电压来控制。电感器可做在芯片装置上或是以绕线电感来实现。

在图 5 的实施例中，变抗器-电感电容槽电路是被设计在射频工作频率共振，以形成无穷大的阻抗来避免输入端的射频信号经由该变抗器泄漏到 VDD 或 VSS 电源线中去。静电放电电流将流经电感器和静电放电二极管。为了避免二极管在击穿情况下运转，而导致相当低的静电放电防护能力，故在 VDD 与 VSS 电源线间建置一个能够快速开启的 VDD 到 VSS 电源的间的箝制电路于静电放电保护装置内，以显著地提高静电放电防护层次。

当射频输入接脚是被轰击(zapped)在 NS(Negative-to-VSS)模式(mode)的静电放电时，N 型二极管(NDIO)是在顺向偏压(forward-biased)情况下运转，以释放静电放电电流。在 PD(Positive-to-VDD)模式下的静电放电防护作用时，P 型二极管(PDIO)工作在顺向导通状态来排放静电放电的电流。二极管运转在顺向偏压情况下，可以提供远高于反向偏压情况的静电放电耐受能力。当射频输入垫是被轰击在 PS(Positive-to-VSS)模式或 ND(negative-to-VDD)模式的静电放电时，VDD 到 VSS 电源之间箝制

电路则被开启。因为N型二极管在PS模式的静电放电时，不会在击穿状态下运转，所以静电放电电流将流经顺向偏压P型二极管和在电源线间开启的VDD到VSS电源之间箝制电路。在有VDD到VSS电源之间箝制电路的导通情况下，N型二极管的运转状态与其类似。

VDD到VSS电源的间的箝制电路是以较大的体积来设计，以维持高的静电放电防护能力。虽然箝制电路有一个大的接合电容，但对射频输入垫并没有任何贡献。射频输入接脚凭借由使用此静电放电保护设计，可在四种模式的静电放电下，维持非常高的静电放电防护能力。从静电放电保护装置的P型二极管和N型二极管到射频输入垫生成的负载电容能被变抗器-电感电容槽避免掉，因此射频集成电路的性能将完全不会受损。

图6为图5设计的另一种实施方法，其中将反向偏压二极管和变抗器-电感电容槽的位置更换。修改后的图6可获得和图5实施例相同的静电放电保护。

图7是根据本发明的静电放电保护装置的第三个实施例，其中两个变抗器-电感电容槽是由二极管堆栈而成，以便在共振时达到较高的阻抗。该变抗器-电感电容槽是被设计在射频运转频率共振状态，以避免输入端射频信号的耗损。为了避免二极管在击穿情况下运转及引起较低的静电放电防护能力，故在电源线间，建置一个能够快速开启的VDD到VSS电源之间的箝制电路于静电放电保护装置内，以显著地提升静电放电防护能力。

图8为图7设计的另一种实现方法，其中将反向偏压二极管和变抗器-电感电容槽的位置更换。修改过的图8静电放电保护装置可获得相同的保护效果。

图9是根据本发明的静电放电保护装置第五个实施例，其中多个变抗器-电感电容槽是由二极管堆栈而成的。

图10为图9设计的修改，其中将反向偏压二极管和变抗器-电感电容槽的位置更换。修改过的图10的静电放电保护装置可获得相同的保护效果。

图11是根据本发明的静电放电保护装置第七个实施例，其中多个二

极管的变抗器-电感电容槽对用来作为减少更多的寄生电容和功率增益耗损的用。此变抗器-电感电容槽是被设计在射频运转频率共振，以形成一无穷大阻抗。为了避免二极管在击穿情况下运转及引起较低的静电放电防护能力，故在电源线间，建置一个能够快速开启的 VDD 到 VSS 电源的间箝制电路于静电放电保护装置内，以显著地提升静电放电防护层次。

图 12 为图 11 设计的修改，其中将反向偏压二极管和变抗器-电感电容槽的位置更换。图 12 所示的静电放电保护装置包括第一静电放电保护装置，具有多个变抗器-电感电容槽和多个 P 型二极管交错串联；以及第二静电放电保护装置，具有多个变抗器-电感电容槽和多个 N 型二极管交错串联；其中，该第一静电放电保护装置的一个 P 型二极管和该第二静电放电保护装置的一个 N 型二极管串联。

以上所述，仅为本发明的较佳实施例而已，当不能以此限定本发明实施的范围。即大凡依本发明申请专利范围所做的均等变化与修饰，皆应仍属本发明专利涵盖的范围内。

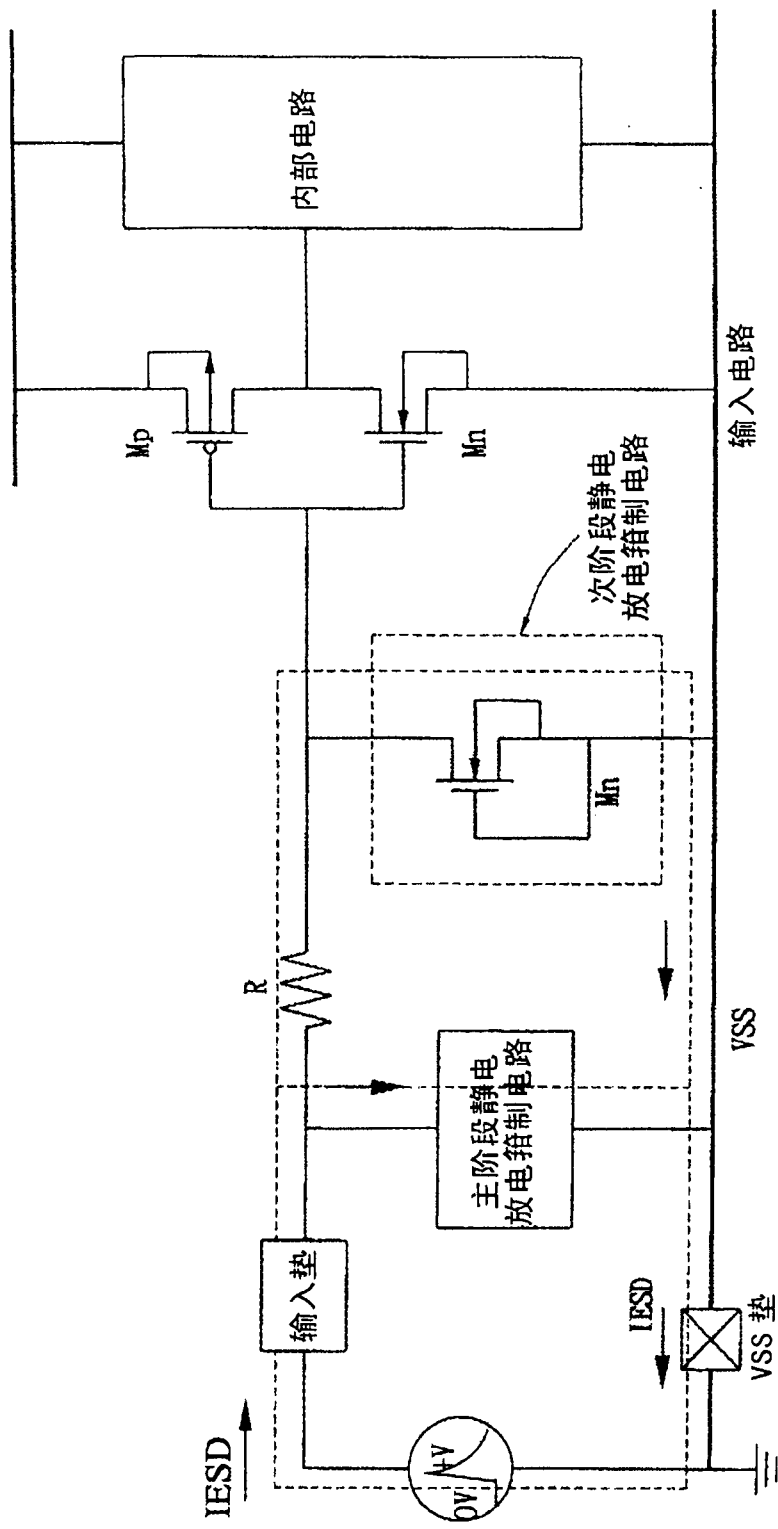


图 1

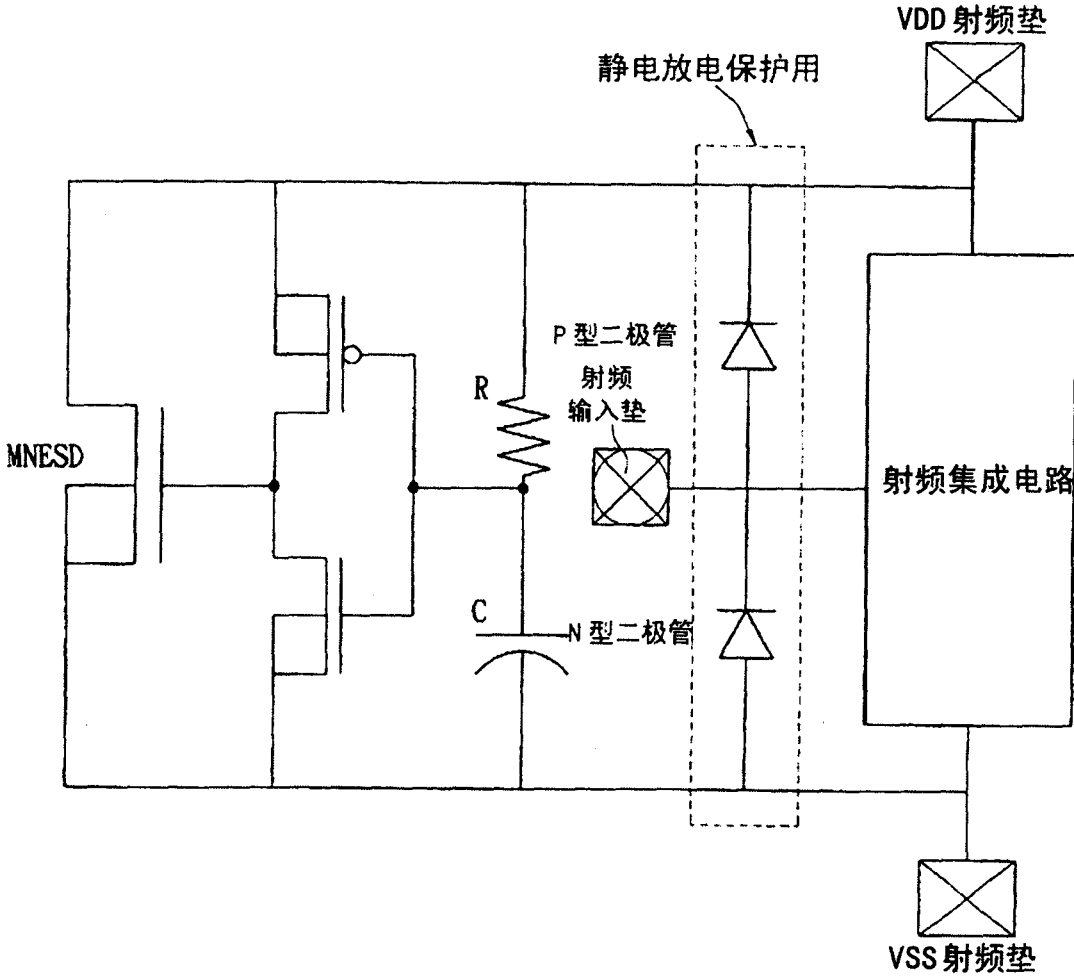


图 2

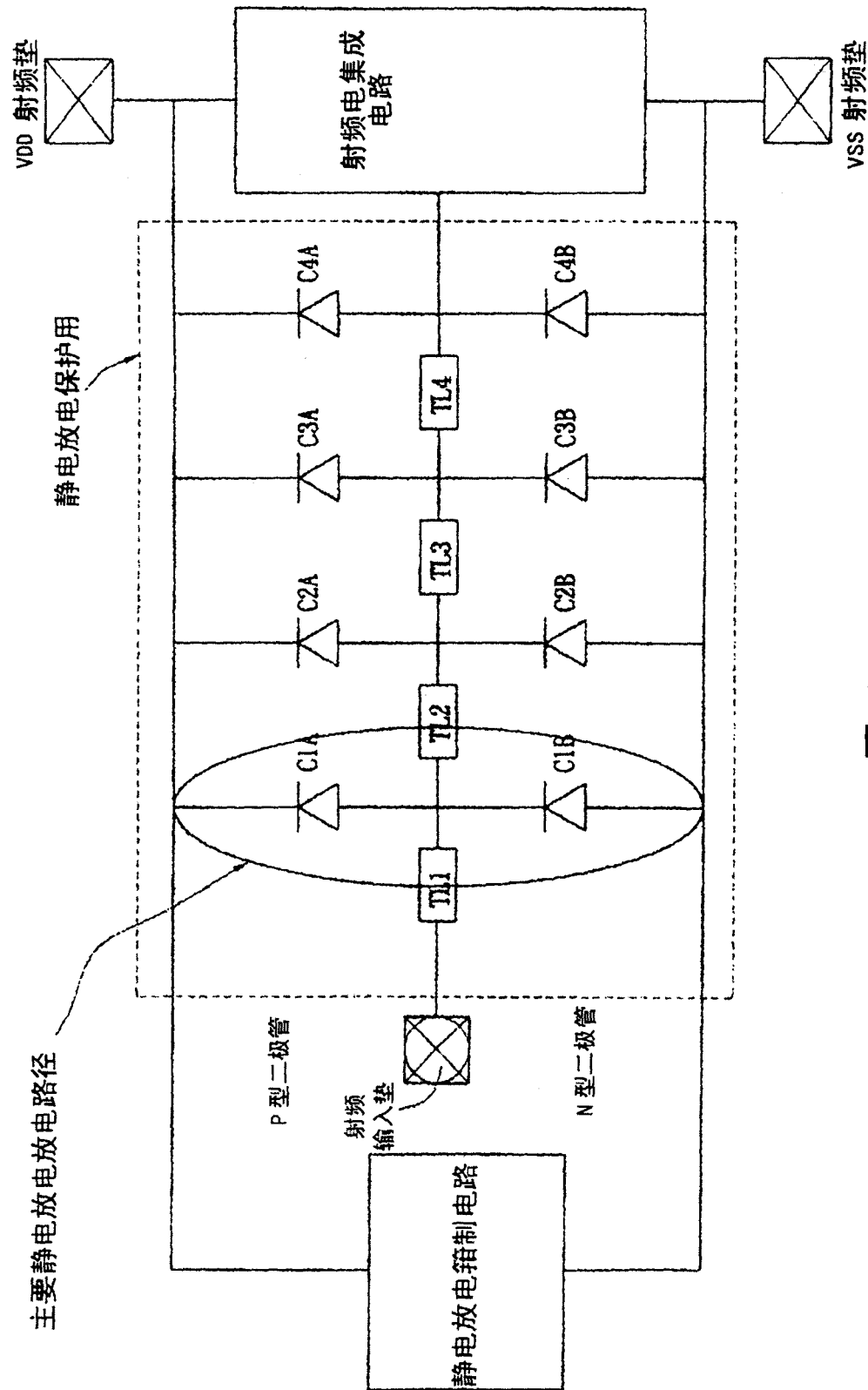


图 3

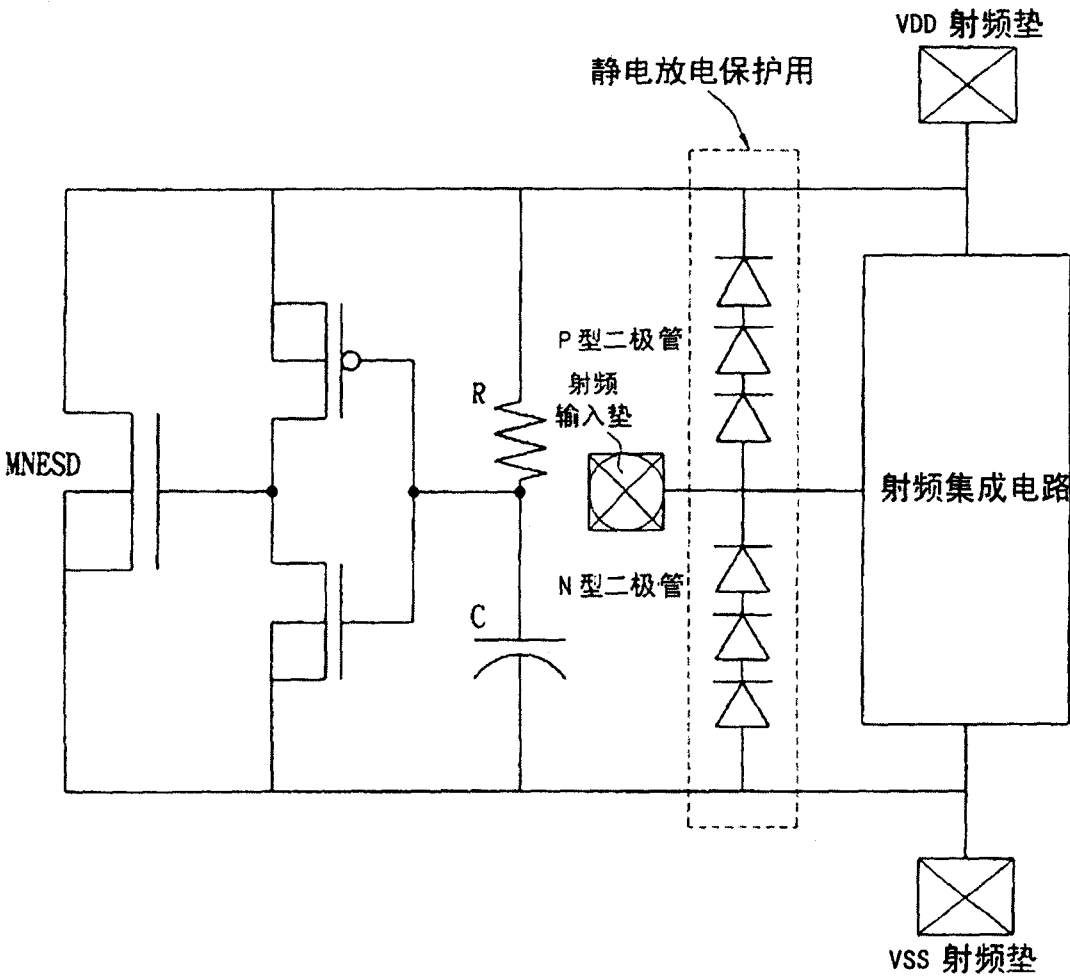


图 4

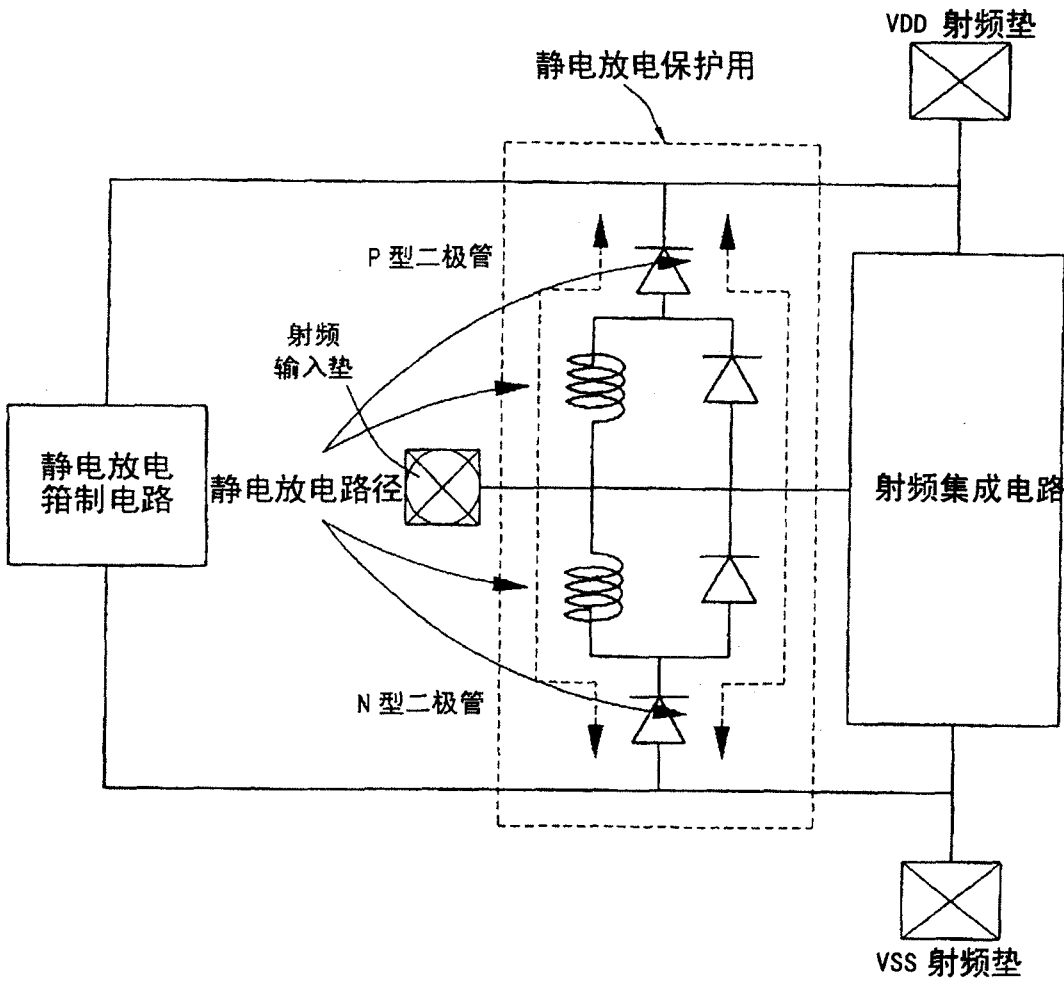


图 5

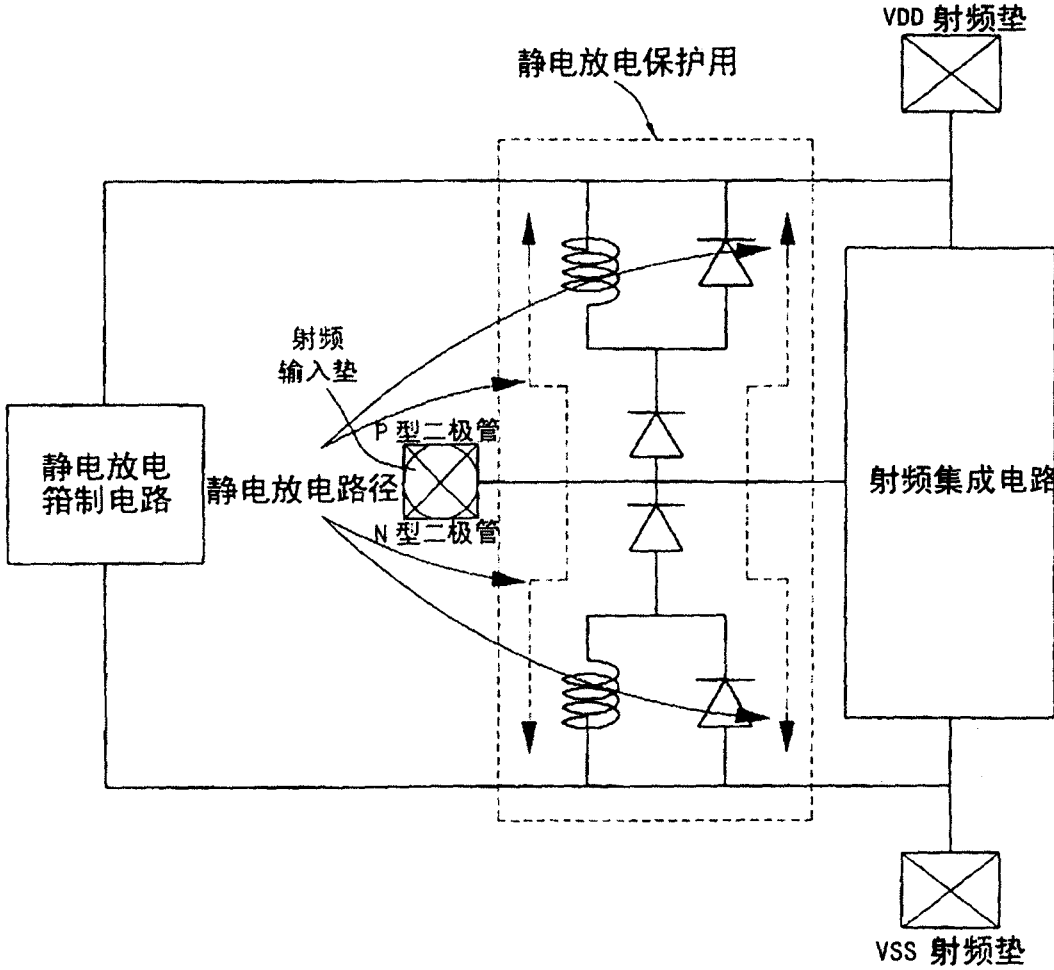


图 6

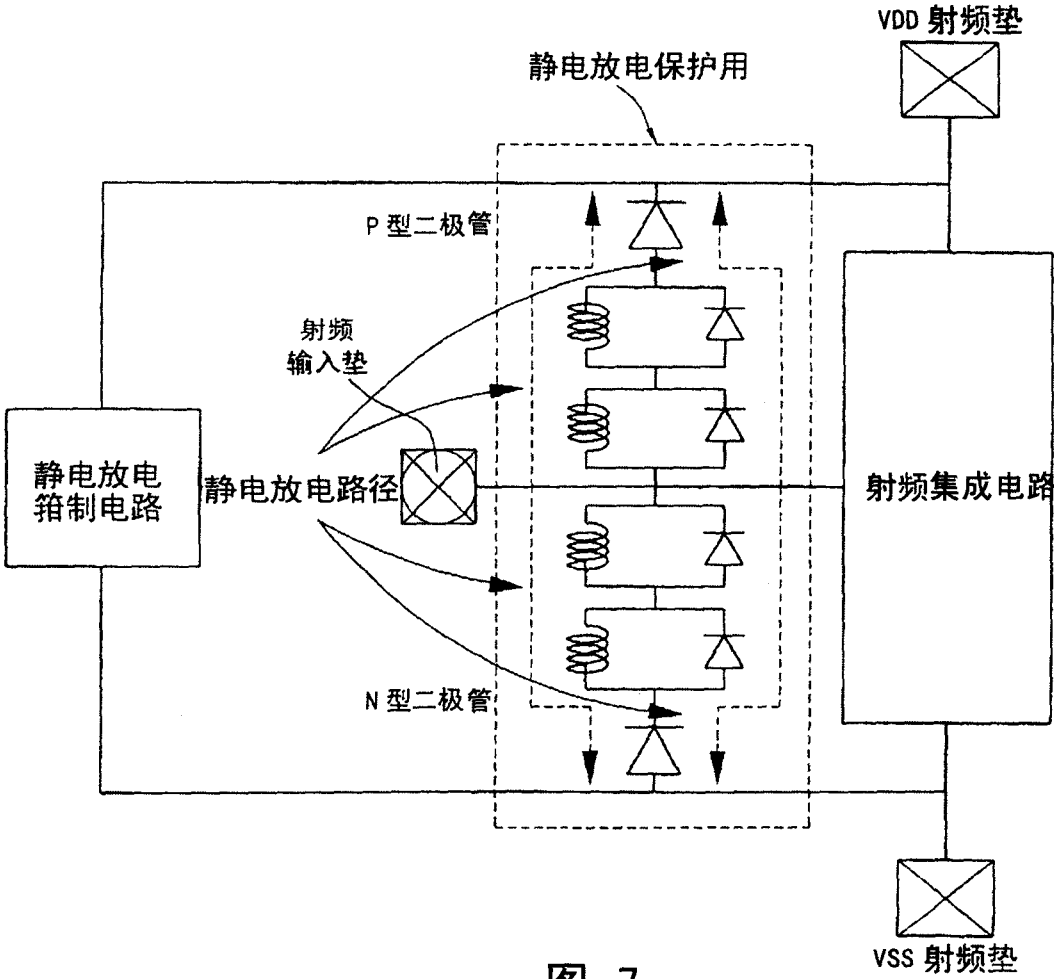


图 7

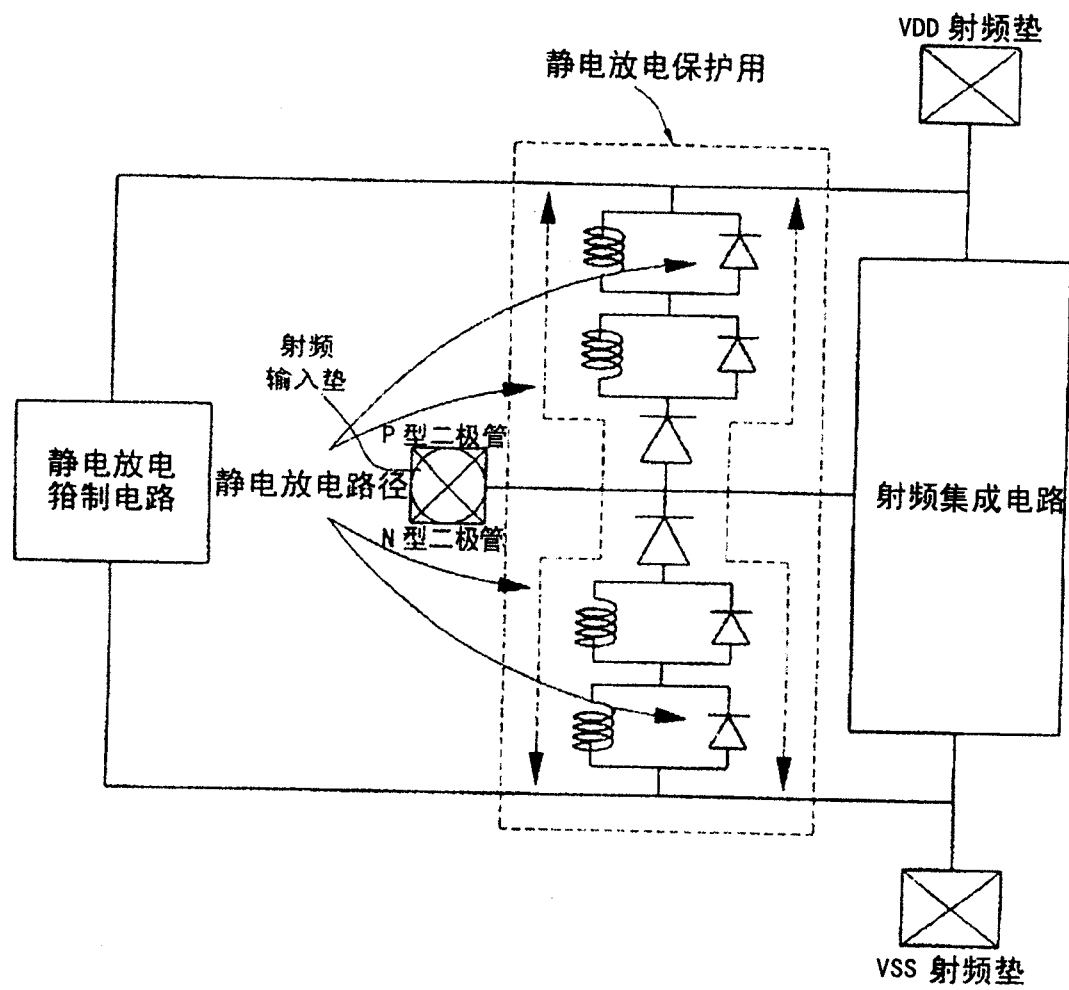


图 8

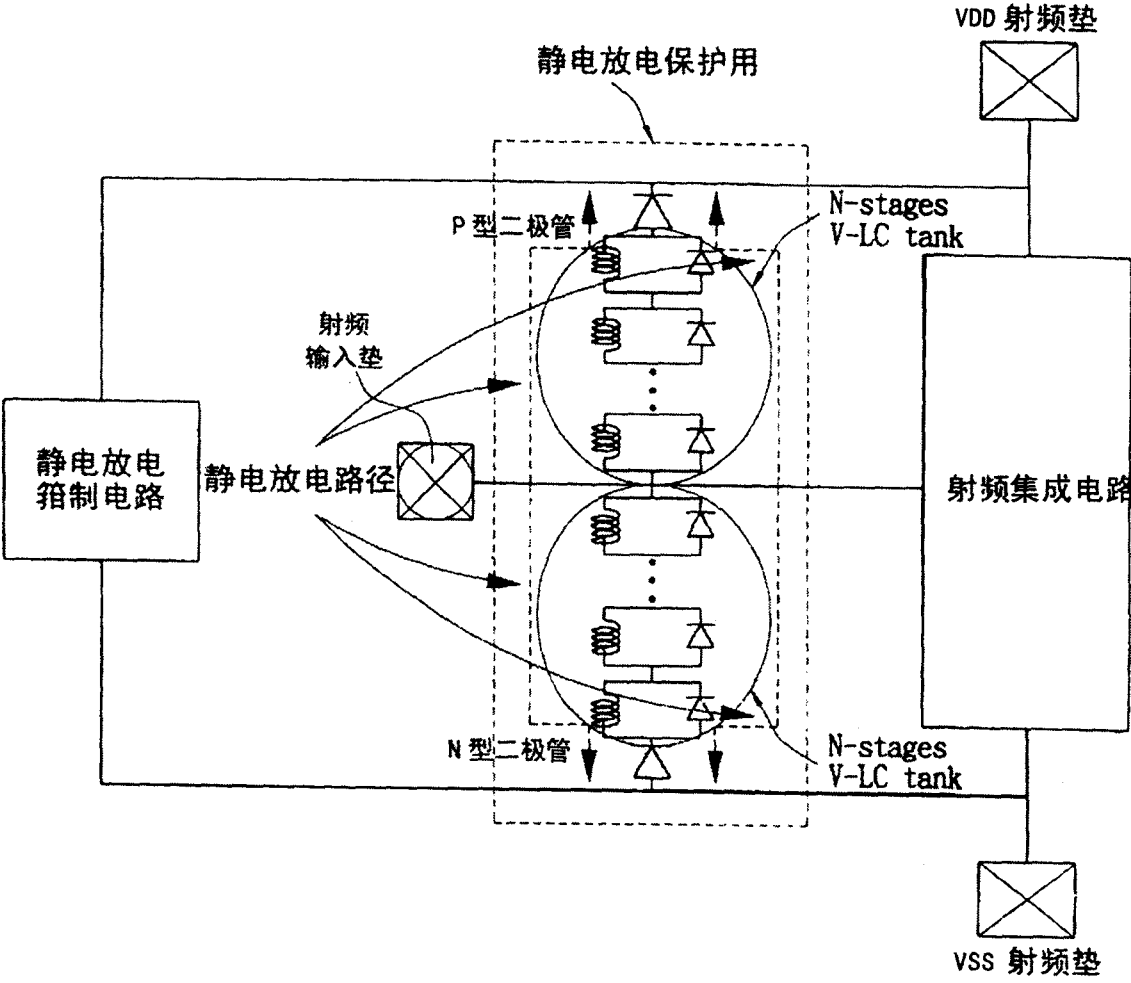


图 9

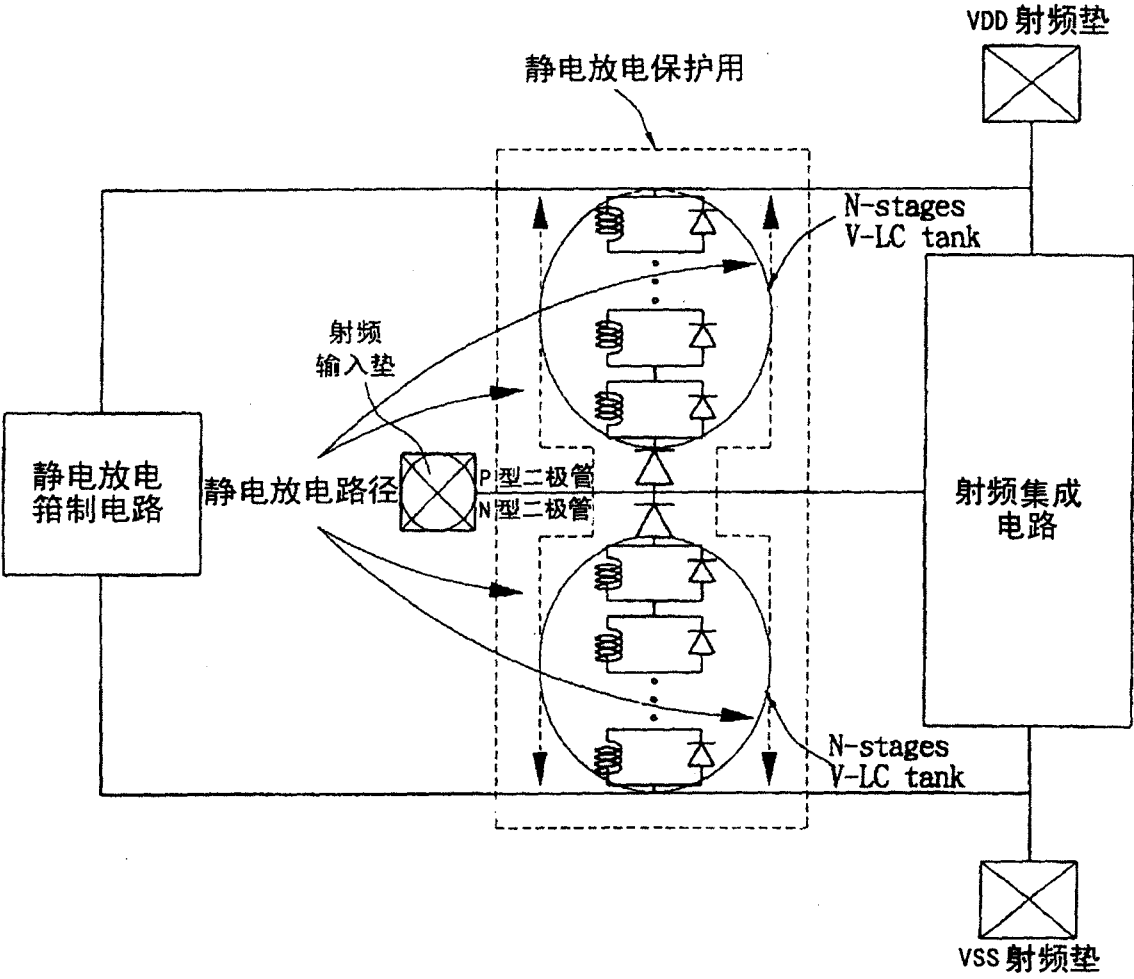


图 10

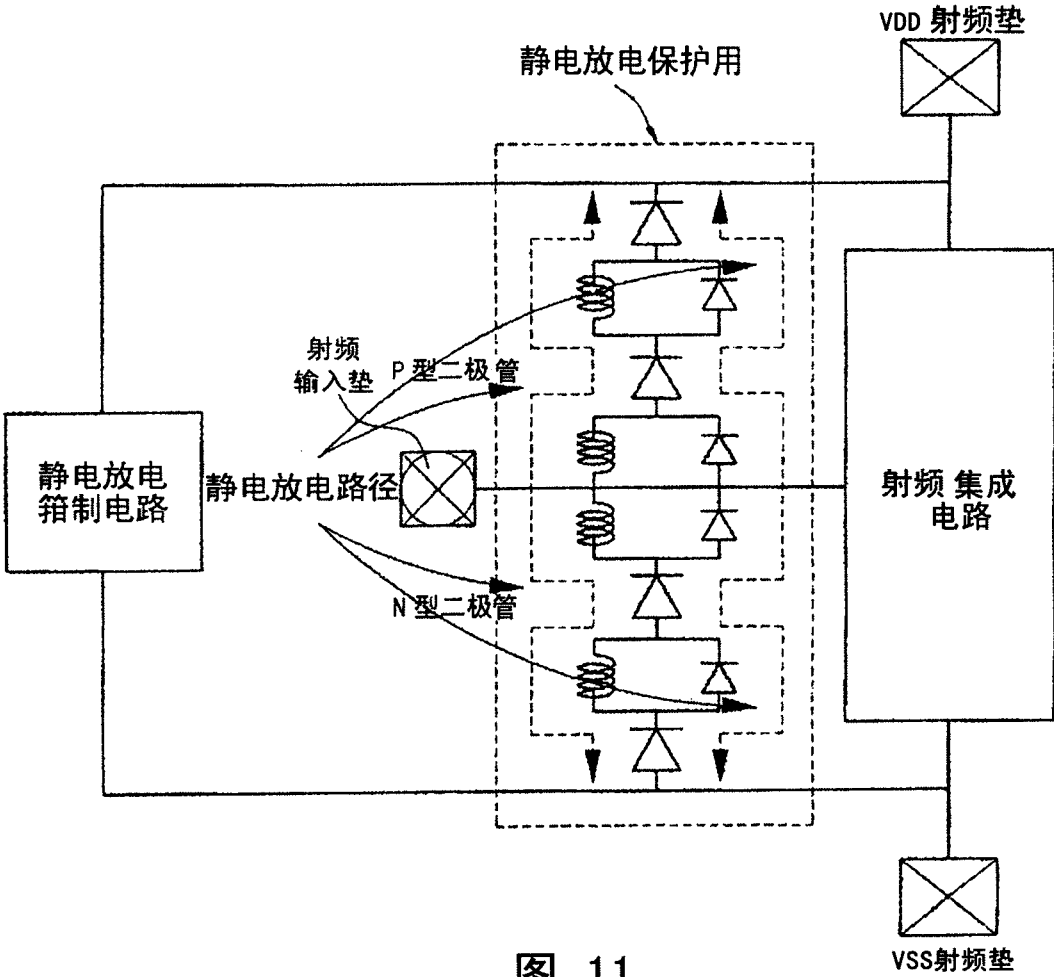


图 11

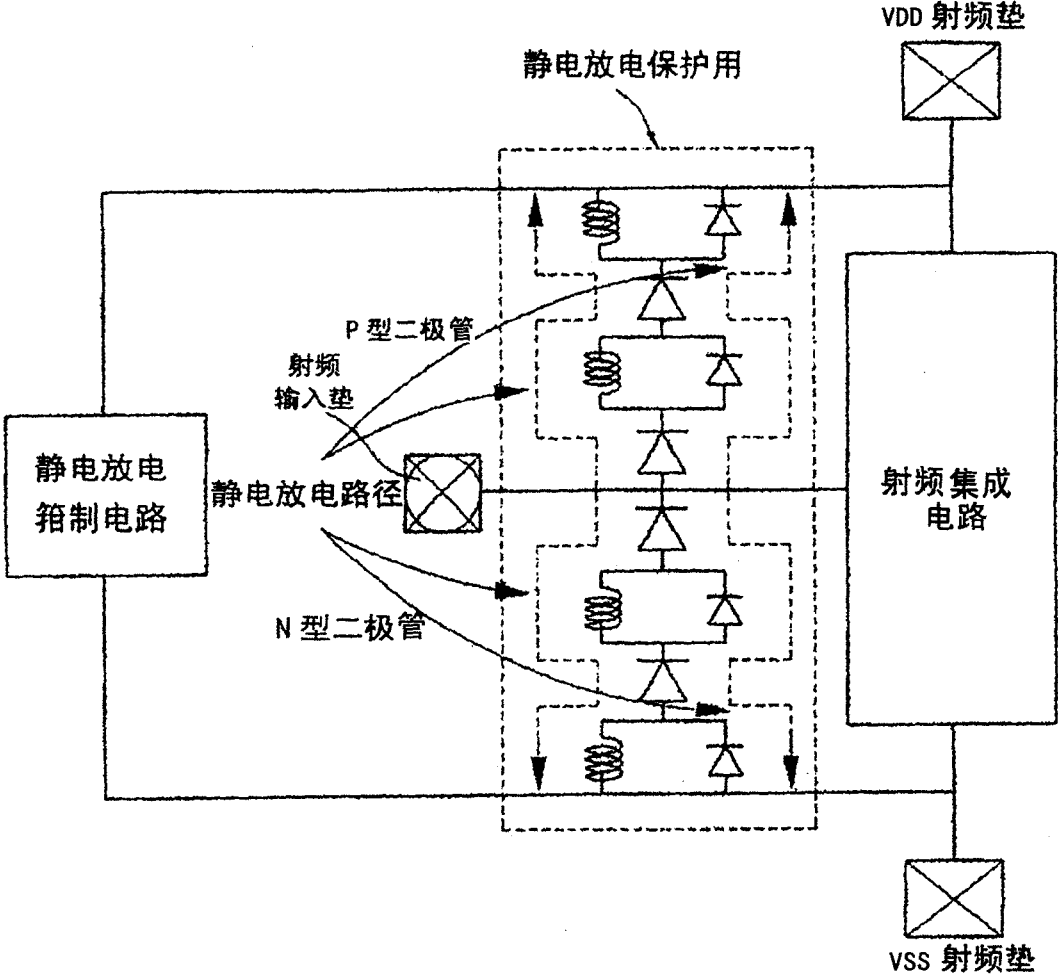


图 12